

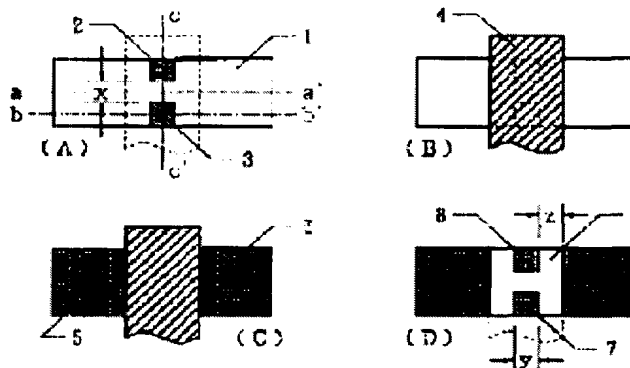
# THIN FILM SEMICONDUCTOR DEVICE

**Patent number:** JP8032081  
**Publication date:** 1996-02-02  
**Inventor:** KOYAMA JUN; TAKEMURA YASUHIKO  
**Applicant:** SEMICONDUCTOR ENERGY LAB  
**Classification:**  
 - international: **G02F1/136; G02F1/1368; H01L21/336; H01L29/78; H01L29/786; G02F1/13; H01L21/02; H01L29/66; (IPC1-7): H01L29/786; G02F1/136**  
 - european:  
**Application number:** JP19940186265 19940714  
**Priority number(s):** JP19940186265 19940714

Report a data error here

## Abstract of JP8032081

**PURPOSE:** To reduce leakage current in a thin film semiconductor device by a method wherein an N-I-P-I-N junction comes into contact with a substantially intrinsic region between a source and a drain, not with the source and the drain at impurity regions having a second conductivity type reverse to that of the source and the drain but with the edge of a thin film semiconductor region.  
**CONSTITUTION:** When a source and a drain are formed into N-type regions, impurity regions 2 and 3 are formed into P-type regions. Here, a substantially intrinsic region (an I-type region) is provided between the P-type region and the N-type region or between the N-type region and the P-type region and a P-I-N or N-I-P junction is formed. Seeing about the edge parts of a thin film semiconductor region, an N-I-P-I-N junction is formed and is effective from the view-point of inhibiting a leakage current. Thereby, the leakage current in a thin film semiconductor device is reduced, the reliability of the device is improved and it becomes possible to bring out the maximum of characteristics of the device. In particular, the leakage current between a gate and the drain and between the gate and the source is low and the device is desirable as a pixel control transistor.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

## 特開平8-32081

(43) 公開日 平成8年(1996)2月2日

(51) Int. Cl. "

識別記号

F I

H01L 29/786

G02F 1/136

500

9056-4M

H01L 29/78

311

H

審査請求 未請求 請求項の数 4 F D (全11頁)

(21) 出願番号 特願平6-186265

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(22) 出願日 平成6年(1994)7月14日

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 竹村 保彦

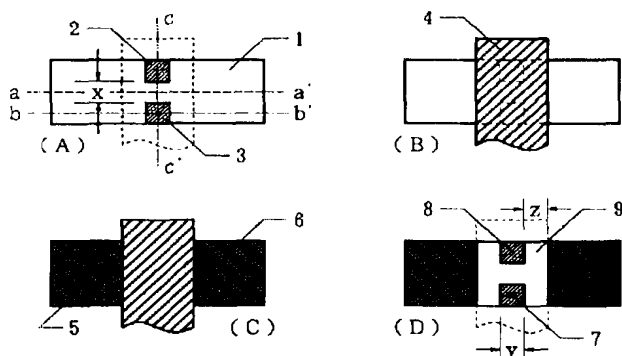
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 薄膜半導体装置

(57) 【要約】 (修正有)

【目的】 薄膜トランジスタにおいて、リーク電流の低減を図る。

【構成】 薄膜半導体領域1のゲート電極4の下のエッジに接した部分に、ソース/ドレイン5、6とは逆の導電型を示す不純物領域2、3を設けることにより、ソース、ドレイン間のリーク電流を減少させる。



## 【特許請求の範囲】

【請求項 1】 絶縁表面上に形成された島状の薄膜半導体領域と、前記半導体領域を横断するゲイト電極とを有する薄膜半導体装置において、

前記半導体領域は第 1 の導電型のソースおよびドレインと、

前記ソースおよびドレインの間の実質的に真性の領域と、

前記真性の領域に接して、少なくとも 2 つの、前記ソースおよびドレインとは逆の第 2 の導電型の不純物領域と、を有し、

前記第 2 の導電型の不純物領域は、ソースおよびドレインには接せず、かつ、薄膜半導体領域のエッジに接することを特徴とする薄膜半導体装置。

【請求項 2】 絶縁表面上に形成された島状の薄膜半導体領域と、前記半導体領域を横断するゲイト電極とを有する薄膜半導体装置において、

前記ゲイト電極の下に薄膜半導体領域の実質的に真性な領域は、ソース／ドレインとは逆の導電型の不純物領域によって、狭められており、かつ、

前記不純物領域はソースおよびドレインには接せず、かつ、薄膜半導体領域のエッジに接することを特徴とする薄膜半導体装置。

【請求項 3】 絶縁表面上に形成された島状の薄膜半導体領域と、

前記半導体領域を横断するゲイト電極と、

前記半導体領域を横断し、前記ゲイト電極と同一層内の配線と、

を有する薄膜半導体装置において、

前記ゲイト電極の下に薄膜半導体領域には、実質的に真性な領域および薄膜半導体領域のエッジに囲まれた、ソース／ドレインとは逆の導電型の第 1 の不純物領域が存在し、

前記配線の下には、前記第 1 の不純物領域と実質的に同一の不純物濃度を有する第 2 の不純物領域が存在し、

前記第 2 の不純物領域はソースもしくはドレインのいずれか一方と電気的に接続されていることを特徴とする薄膜半導体装置。

【請求項 4】 絶縁表面上に形成された島状の薄膜半導体領域と、

前記半導体領域を横断するゲイト電極と、を有する薄膜半導体装置において、

前記薄膜半導体領域には、実質的に真性な領域および薄膜半導体領域のエッジに囲まれた、ソース／ドレインとは逆の導電型の第 1 の不純物領域と、

前記第 1 の不純物領域と実質的に同一の不純物濃度を有する第 2 の不純物領域が存在し、

前記第 2 の不純物領域がソースもしくはドレインのいずれか接続する部分においてはシリサイドが存在することを特徴とする薄膜半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、絶縁表面上に形成された薄膜集積回路およびそれに用いる回路素子、例えば、薄膜トランジスタ (TFT) の構造に関するものである。本発明において絶縁表面とは、絶縁体表面以外に、半導体や金属の表面に設けられた絶縁層をも意味する。すなわち、本発明によって作製される集積回路および薄膜トランジスタは、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上に形成された絶縁体上、いずれにも形成される。

## 【0002】

【従来の技術】TFTは、絶縁表面上に実質的に真性な薄膜半導体領域 (活性層) を島状に形成した後、ゲイト絶縁膜として、CVD法やスパッタ法によって絶縁被膜を形成し、その上にゲイト電極を形成して得られる。ソース／ドレインにはN型もしくはP型の不純物がドーパされる。すなわち、TFTは、N型もしくはP型のソース／ドレインと実質的に真性導電型のチャネル形成領域を有する構造である。近年、TFTの電界移動度を高める必要から、活性層の半導体として、アモルファス半導体に代えて、結晶性半導体を用いることが試みられている。

## 【0003】

【発明が解決しようする課題】このような結晶性の半導体を用いたTFTにおける最大の問題点はリーク電流 (オフ電流) が大きいことであった。すなわち、ゲイト電極に電圧が印加されていない、もしくは逆の電圧が印加されている際には、チャネルが形成されないのに、電流は流れないはずである。しかしながら、実際には、単結晶半導体において通常、観察されるリーク電流以上の電流が見られた。このような大きなリーク電流は、特にダイナミックな動作の要求される用途において問題であった。また、スタティックな動作の要求される用途においても、消費電力を増加させるため、好ましいことではなかった。

【0004】TFTの大きな用途として期待されている液晶ディスプレイ等のアクティブマトリクス回路においては、TFTはマトリクスに設けられた画素のスイッチングトランジスタとして動作するが、その際には、画素電極やその補助のコンデンサー (保持容量) に蓄積された電荷がリークしないことが必要とされたが、リーク電流が大きいと十分な時間、電荷を保持することができなかった。本発明は、結晶性半導体を活性層に用いたTFTにおいて、リーク電流を低減することを目的とする。

## 【0005】

【発明を解決するための手段】本発明の基本的な構成および概念を図1を用いて説明する。図1はTFTを上方より見た様子を示す。薄膜半導体領域1は実質的に真性な結晶性半導体である。本発明で特徴的なことは、後に

チャネル形成領域が設けられる部分に、ソース／ドレインとは逆の導電型の不純物領域 2、3 を設けることである。この不純物領域 2、3 の存在によってリーク電流を低減できる。(図 1 (A))

不純物領域 2、3 は半導体膜をエッチングして半導体領域 1 を形成する前でも後でもいずれでもよいが、不純物導入によって結晶性が低下する場合(加速した不純物イオンを照射する方法、例えば、イオン注入法やイオンドーピング法が該当する)には、ゲート電極を形成する前の工程で結晶性を改善する処理を施すことが望まれる。

【0006】すなわち、レーザー光照射や熱アニールによって、結晶性半導体を得る場合には、不純物領域の形成のためのドーピング工程を、レーザー光照射や熱アニール工程の前におこなうことが好ましい。また、熱アニールの後にレーザー光照射をおこなう場合には、熱アニール後にドーピングしても、その後のレーザー光照射によって結晶性を改善できる。もちろん、その後の工程において、熱アニールや裏面からのレーザー光照射等の工程があれば、その際に該不純物領域の結晶性を改善できる。

【0007】その後、ゲート絶縁膜とゲート電極 4 を形成する。(図 1 (B))

そして、このゲート電極をマスクとして自己整合的に不純物を導入し、ソース 5、ドレイン 6 を形成する。(図 1 (C))

以上のようにして、本発明による TFT の基本的な構造が得られる。その際のゲート電極をはぎ取った状態を図 1 (D) に示す。不純物領域 7、8 は図 1 (A) の不純物領域 2、3 と実質的に同じものである。(図 1

(D))

図 1 に示した TFT のゲート電極に直角な断面 a-a' および b-b' と、ゲート電極に平行な断面 c-c' の各工程における様子を図 2、図 3、図 4 に示す。数字は図 1 のものに対応する。

【0008】

【作用】本発明人は、リーク電流の多くが、薄膜半導体領域のエッジ部分においてもたらされることを見出した。リーク電流を低減するためには、チャネル幅を狭くすることが有効であると考えられるが、本発明人の考察の結果、チャネル幅を狭くしても、それに比例してリーク電流が減少することではなく、特に、チャネル幅 3  $\mu\text{m}$  と 8  $\mu\text{m}$  (チャネル長はいずれも 8  $\mu\text{m}$ ) では、リーク電流に有為な差が全く見出せなかった。このことはリーク電流にチャネル全体が関与しているのではないことを意味している。

【0009】本発明人は、チャネル形成領域のエッチにおいては、エッチング工程においてダメージを受けやすく、非意図的にチャネルが形成されることがあるためと推定した。また、ゲート絶縁膜の段差被覆性が不十分であると、欠陥が生じやすく、ここに何らかの電荷がトラ

ップされて、非意図的なチャネルが生成する可能性も考えられる。

【0010】本発明におけるチャネル領域および薄膜半導体のエッチに囲まれた不純物領域(図 1 の 2、3)は、このような不安定なエッチ部を非導通化させる上で効果的である。図 1 において、ソース／ドレインが N 型であれば、不純物領域 2、3 は P 型となる。そして、エッチ部について見れば、NIPIN 接合が形成されており、リーク電流を抑制する上で効果がある。ソース／ドレインが P 型であっても同様である。ここで、実質真性な領域(I 型領域)が P 型領域や N 型領域の間に設けられ、PIN もしくは NIP 接合となっていることが重要である。

【0011】多結晶その他の非単結晶の結晶性半導体においては、単結晶半導体のように理想的な異種接合は形成できず、接合界面には多くの欠陥やそれに起因する準位が生じ、そのため、非単結晶の PN 接合では逆方向でも大きな電流が流れる。不純物の濃度についてもさまざまな組合せが可能である。不純物領域がソース／ドレインと同等な不純物濃度を有している場合には、エッチ部において、N'IP'IN' 接合もしくは P'IN'I P' 接合が形成される。この場合の N'、P' とは、 $10^{18}$  原子/ $\text{cm}^3$  程度もしくはそれ以上の濃度の N 型もしくは P 型不純物が含まれていることを意味する。

【0012】また、不純物領域 2、3 の不純物濃度を低下させても本発明の効果は得られる。その場合には N'IP'IN' 接合(あるいは NIP'IN 接合)もしくは P'IN'I P' 接合(あるいは PIN'I P 接合)が得られる。この場合の N'、P' とは、 $10^{18}$  原子/ $\text{cm}^3$  程度もしくはそれ以下の濃度の N 型もしくは P 型不純物が含まれていることを意味する。

【0013】本発明を低濃度ドレイン(LDD)を有する構造の TFT に適用することによっても、より一層の効果を得ることができる。通常の LDD 型の TFT では、N'NN'IN'N' もしくは P'P'IP'P' という接合構造を有するのであるが、これに本発明を適用した場合には、エッチ部においては、N チャネル型の場合には、N'NN'IP'IN'N' もしくは N'NN'I P'IN'N' という接合構造が、P チャネル型の場合には、P'P'IN'I P'P' もしくは P'P'IN'I P'P' という接合構造が得られる。

【0014】不純物領域の不純物濃度については、上記のように、特に制約があるわけではないが、集積回路を構成する上では、後により多くの逆導電型の不純物のドーピングによって導電型が反転できる方が好ましい。さらに、ゲート電極直下に多量の不純物が存在するとその不純物によってゲート絶縁膜の耐圧が低下し、よって、ゲート電極との間でリーク電流が増加するので、高濃度の不純物領域をゲート電極の下に形成することは好ましくない。また、上記のようなリーク電流はエッチ部に形

成される弱いチャネルが原因であるので、高濃度のドーピングをおこなうことは必ずしも要求されない、したがって、不純物領域2、3の導電型としてはN<sup>+</sup>型、P<sup>+</sup>型が用いることが好ましい。このような理由から、不純物濃度は $1 \times 10^{17} \sim 1 \times 10^{19}$ 原子/cm<sup>2</sup>であることが望ましい。

【0015】上記のように本発明においてはリーク電流の要因として、エッチ部に非意図的に形成されるチャネルは除去されたため、リーク電流は大幅に低下する。本発明において、リーク電流を決定する要素のうち主要なものは、不純物領域2と3で挟まれたチャネル形成領域の間隔x、不純物領域2、3の幅y、ソースもしくはドレインと不純物領域2、3の間隔zである。これらは、用いられるデザインルールや許容されるリーク電流の大きさを考慮して決定すればよい。リーク電流はxにほぼ比例し、また、yに逆比例する。zの値はリーク電流以外に耐圧に影響する。zの値は、上記のように安定したPINもしくはNIP接合が形成されるに足る値が必要であり、ドレイン電圧にも依存するが、ドレイン電圧が2.0Vであれば3μm以上、1.0Vであれば1.5μm以上あることが望ましい。

【0016】本発明においては、ゲイト電極を形成する前に、不純物領域を形成する必要があるが、この工程を他の不純物領域形成の工程と同時にこなうと効果的である。例えば、アクティブマトリクス回路においては、薄膜半導体層に導電領域を設けて、その上にゲイト電極と同一層の配線を形成し、該配線（以下、容量配線という）とその下の導電領域の間に、ゲイト絶縁膜を誘電体とする容量（キャパシタ）を形成することがある。その場合、容量配線の下に不純物をドーピングして導電領域を形成する必要から、導電領域の形成は、ゲイト電極（容量配線）の形成に先立ってこなわれる必要がある。本発明においては、ゲイト電極の形成前にチャネル形成領域に不純物領域を形成するため、該不純物領域形成と導電領域形成とを同時にこなうと効果的である。

【0017】図5、図6にはその際の工程図を示す。図5は上方より見た図面、図6はその断面図である。この場合の薄膜半導体領域は、図5のように2つの部分によって構成されている。図の左側がTFTの設けられる領域で、右側が容量の設けられる領域である。図5(A)のa-a'断面の工程図は図6(A)～(F)に、また、最終的なb-b'断面は図6(G)に、それぞれ示される。断面c-c'は図4とほぼ同じであるので省略した。TFTのゲイト電極が形成される領域には図1と同様に2つのエッチ部に接した不純物領域12、13が設けられる。その他に容量領域と、TFT領域のドレインの一部も同時に不純物がドーピングされ、導電領域14が形成される。その他の領域は実質的に真性領域11である。(図5(A)、図6(A))

【0018】次に、ゲイト絶縁膜、ゲイト電極15、容

量配線16を形成する。そして、TFT領域において、ソース/ドレインを形成するための不純物を導入するためのマスク17を形成する。これは、導電領域14がソース/ドレインの導電型と逆であるので、ソース/ドレイン形成の際に、導電領域14の導電型が反転しないためである。導電領域14にドーピングされた不純物の量が多くて、ソース/ドレイン形成の際のドーピングでも反転しない場合には、このようなマスクは特に必要ではない。(図5(B)、図6(B))

次に、不純物ドーピングをおこない、ソース18、ドレイン19を形成する。ここで、ソース/ドレインと導電領域14の導電型は互いに逆である。(図5(C)、図6(C))

【0019】次に、不純物の活性化（結晶性の回復）を適切な方法でおこない、層間絶縁物を形成する。そして、TFTのソース/ドレインにコンタクトホール20、21を形成する。この際、ドレイン19においては、コンタクトホールは導電領域14との境目にコンタクトホール21を設ける。(図5(D)、図6(D))  
次に、全面に金属膜を堆積する。この際、半導体活性層がシリコンによって構成されているならば、金属膜としては、シリコンと化合してシリサイド（珪化物）を得ることが容易なチタン、プラチナ、タングステン、モリブデン等の単層膜もしくは、その上に他の金属膜を重ねた多層膜を形成すると良い。このような金属膜を形成したのち、適当な温度でアニールをおこなえば、金属とシリコンが反応し、シリサイドが形成される。図にはチタンとアルミニウムの多層膜を堆積した様子を示した。チタンは350℃以上の温度でのアニールによって珪化チタンをその界面に生成する。(図6(D'))

【0020】次に、金属膜をエッチングし、ソース電極・配線22を形成する。これはコンタクトホール20によってソース18と接続しているが、その間には上述のアニールによって生じたシリサイドが形成されている。一方、図のドレイン側のように金属膜を全て除去した場合でも、コンタクトホール21に形成されたシリサイド23は残存せしめることができる。これは、金属膜とシリサイドのエッチングレートの違いを利用すれば容易に実施できる。(図5(E)、図6(E))

液晶ディスプレイを形成する場合には、ソース配線・電極22のように金属配線の上に第2の層間絶縁物を形成し、コンタクトホール21（すなわち、シリサイド23）を含む領域にコンタクトホールを形成して、画素電極24を形成すればよい。(図5(F)、図6(F))

【0021】最終的な断面b-b'は図6(G)に示すが、不純物領域13が形成されている。(図6(G))  
図5、図6において、導電領域14とソース/ドレインは導電型が互いに逆であるため、それぞれにドーピングする不純物の量については注意が必要である。導電領域14の不純物濃度を低くすると該領域での抵抗が高くな

るので、回路設計の際に注意しなければならない。なお、上記の説明においては、便宜上、ドレイン19側に容量が設けられていると説明したが、ソース側に容量が設けることが同様に可能であることは言うまでもない。

#### 【0022】

##### 【実施例】

【実施例1】 図7にLDD型TF Tに本発明を適用した本実施例のTF Tの断面図を示す。図7に示される断面図は図1のb-b'断面に相当するものである。本実施例ではPチャンネル型とした。作製工程は、島状薄膜シリコン領域形成前の段階において、チャンネル形成領域31にエッチ部に接したN型の不純物領域32を形成した以外は、従来のLDD型TF Tと同じである。以下、簡単に作製方法について述べる。石英基板上に実質的に真性のアモルファスシリコン膜を形成した。アモルファスシリコン膜の厚さは300~1200Å、例えば、800Åとした。そして、500~620℃、例えば、600℃で48時間熱アニールすることによって結晶化させた。ニッケル等の結晶化を促進させる元素を微量添加すると、結晶化温度、時間を低下、短縮させることが可能である。

【0023】その後、不純物領域32を形成した。その配置は図1(A)の不純物領域2、3と同様である。不純物領域32は、磷を $1 \times 10^{13} \sim 5 \times 10^{14}$ 原子/cm<sup>2</sup>、例えば、 $1 \times 10^{14}$ 原子/cm<sup>2</sup>のドーズ量でイオンドーピングすることによって形成した。不純物領域形成の際にはシリコン膜をフォトレジストによってパターンニングし、このフォトレジストをマスクとして、実質的に露出されたシリコン膜にイオンを照射した。このため、加速電圧は5~20kV、例えば、10kVとした。次に、シリコン膜をエッチングして、島状領域を形成し、さらに厚さ1200Åの酸化珪素によってゲイト絶縁膜33、磷がドーピングされた多結晶シリコンによってゲイト電極34を形成した。多結晶シリコンへの磷のドーピング量は、 $1 \times 10^{19} \sim 5 \times 10^{21}$ 原子/cm<sup>3</sup>とした。

【0024】そして、ゲイト電極34をマスクとして、硼素を $1 \times 10^{13} \sim 5 \times 10^{14}$ 原子/cm<sup>2</sup>、例えば、 $1 \times 10^{14}$ 原子/cm<sup>2</sup>のドーズ量でイオンドーピングすることによってP<sup>+</sup>型領域38、39を形成した。次に公知の技術によってサイドウォール35を形成し、これをマスクとして、硼素を $2 \times 10^{14} \sim 5 \times 10^{15}$ 原子/cm<sup>2</sup>、例えば、 $1 \times 10^{14}$ 原子/cm<sup>2</sup>のドーズ量でイオンドーピングすることによってP<sup>+</sup>型領域36、37を形成した。いずれも厚さ1200Åの酸化珪素のゲイト絶縁膜33を通しておこなったため、加速電圧は50~90kV、例えば、65kVが適当であった。以上の2段階のドーピングによって、LDD構造を有するソース/ドレインが形成された。その後、600℃、2時間の熱アニールによって、不純物ドーピングによって

低下したソース/ドレイン領域の結晶性の回復をおこなった。この際には、同時に不純物領域32の結晶性の回復もなされた。

【0025】〔実施例2〕 図8に陽極酸化を用いたオフセットゲイト型TF Tに本発明を適用した本実施例のTF Tの断面図を示す。図8に示される断面図は図1のb-b'断面に相当するものである。本実施例ではPチャンネル型とした。以下に作製工程について簡単に述べる。基板としては厚さ2000Åの酸化珪素膜を下地に形成したコーニング7059を用いた。まず、厚さ500Åのアモルファスシリコン膜を形成した。そして、後にチャンネル形成領域のエッチ部に接する部分にN型の不純物領域42を形成した。その配置は図1の不純物領域2、3と同様とした。不純物領域42は、磷を $1 \times 10^{13} \sim 1 \times 10^{14}$ 原子/cm<sup>2</sup>、例えば、 $2 \times 10^{13}$ 原子/cm<sup>2</sup>のドーズ量でイオンドーピングすることによって形成した。

【0026】その後、レーザー光照射によって、シリコン膜の結晶化をおこなった。レーザーとしてはKrFエキシマーレーザー（波長248nm、パルス幅20ns）を用いたが、その他のレーザー、例えば、XeFエキシマーレーザー（波長353nm）、XeClエキシマーレーザー（波長308nm）、ArFエキシマーレーザー（波長193nm）等を用いてもよい。レーザーのエネルギー密度は、250~450mJ/cm<sup>2</sup>、例えば350mJ/cm<sup>2</sup>とし、1か所につき2~10ショット、例えば10ショット照射した。レーザー照射時に、基板を200~450℃程度に加熱してもよい。基板を加熱した場合には最適なレーザーエネルギー密度が変わることに注意しなければならない。この状態でのシリコン膜は不純物領域42を除いて、真性であった。

【0027】次に、シリコン領域のパターンニング・エッチングをおこない、島状シリコン領域を形成した。ついで、ゲイト絶縁膜43（酸化珪素）、およびアルミニウムのゲイト電極44（厚さ4000~8000Å、例えば6000Å）を形成した。ゲイト電極のアルミニウムにはスカンジウム（Sc）を0.1~0.5重量%混入させておくと、陽極酸化工程において良質の陽極酸化物被膜が得られた。さらに、このアルミニウム配線の表面を陽極酸化して、表面に酸化物被膜45を形成した。陽極酸化は、1~5%の酒石酸エチレングリコール溶液をアンモニアで中和して、pHを約7とした溶液を用いた。印加する電圧を徐々に上昇させ、150Vまで電圧を上げることににより、得られた酸化物層の厚さは約200Åであった。上記の方法で得られた陽極酸化物は緻密で、バリヤ型陽極酸化物と称せられる。

【0028】次に、イオンドーピング法によって、シリコン領域にゲイト電極44および陽極酸化物被膜45をマスクとして硼素イオンを注入した。加速電圧は、50~80kV、例えば65kVとした。ドーズ量は $1 \times 1$

$0^{11} \sim 5 \times 10^{11}$  原子/cm<sup>2</sup>、例えば、 $5 \times 10^{11}$  原子/cm<sup>2</sup> とした。このようにしてP型の領域46、47を形成した。

【0029】その後、レーザー光照射法によってP型領域（ソース／ドレイン）の結晶性の改善をおこなった。レーザーとしてはKrFエキシマーレーザー（波長248nm、パルス幅20ns）を用いたが、その他のレーザー、例えば、XeFエキシマーレーザー（波長353nm）、XeClエキシマーレーザー（波長308nm）、ArFエキシマーレーザー（波長193nm）等を用いてもよい。レーザーのエネルギー密度は、200～350mJ/cm<sup>2</sup>、例えば250mJ/cm<sup>2</sup> とし、1か所につき2～10ショット、例えば2ショット照射した。レーザー照射時に、基板を200～450℃程度に加熱してもよい。基板を加熱した場合には最適なレーザーエネルギー密度が変わることに注意しなければならない。

【0030】なお、本実施例では、実施例1の場合と異なり、ゲイト電極の下のN型の不純物領域は、最初から結晶化している。また、本実施例では、ゲイト電極44とソース46、ドレイン47の間が距離x（約2000Å）だけ離れたオフセットゲイト型となっている。xは概略、陽極酸化物被膜45の厚さである。本実施例のTFTのチャネル形成領域（オフセット領域を含む）は、図1と同様な形状で、1対の不純物領域32の間の距離xは3μm、不純物領域32の幅yは8μm、ソース／ドレインと不純物領域32の間隔は3μmであった。また、チャネル長（ソース／ドレイン間の距離で、オフセット領域も含む）は14μm、チャネル幅は9μmとした。

【0031】〔実施例3〕 図9に側面陽極酸化工程を用いたオフセットゲイト型TFTに本発明を適用した本実施例のTFTの断面図を示す。図9に示される断面図は図1のb-b'断面に相当するものであり、主要な工程を示す。本実施例ではPチャネル型とした。以下に作製工程について簡単に述べる。基板としては厚さ2000Åの酸化珪素膜を下地に形成したコーニング7059を用いた。まず、厚さ800Åのアモルファスシリコン膜を形成し、熱アニールによって結晶化せしめた。そして、後にチャネル形成領域のエッチ部に接する部分にN型の不純物領域52を形成した。その配置は図1の不純物領域2、3と同様とした。不純物領域52は、磷を $1 \times 10^{13} \sim 1 \times 10^{14}$  原子/cm<sup>2</sup>、例えば、 $5 \times 10^{13}$  原子/cm<sup>2</sup> のドーズ量でイオンドーピングすることによって形成した。

【0032】その後、レーザー光照射によって、シリコン膜の結晶性をさらに向上させた。この工程においては、先にイオンドーピング法によって注入された磷も活性化された。レーザーとしてはKrFエキシマーレーザー（波長248nm、パルス幅20ns）を用い、

レーザーのエネルギー密度は、200～400mJ/cm<sup>2</sup>、例えば300mJ/cm<sup>2</sup> とし、1か所につき2～10ショット、例えば10ショット照射した。レーザー照射時に、基板を200～450℃程度に加熱してもよい。

【0033】次に、シリコン領域をエッチングして、島状シリコン領域51を形成した。ついで、ゲイト絶縁膜53（酸化珪素）、およびアルミニウム膜（厚さ4000～8000Å、例えば6000Å）を連続的に成膜した。アルミニウムにはスカンジウム（Sc）を0.1～0.5重量%混入させた。さらに、アルミニウム膜には、実施例2と同様に陽極酸化処理を施し、その表面に薄い陽極酸化物被膜を形成した。この陽極酸化工程においては、印加する電圧は10Vまでとしたために、得られた陽極酸化物被膜は100～150Åであった。次に、公知のフォトリソグラフィ工程によってアルミニウム膜のエッチングをおこない、ゲイト電極54を形成した。フォトリソグラフィ工程の際に用いたフォトレジストのマスク55はその後も残した。

【0034】そして、このアルミニウム配線の側面を陽極酸化して、酸化物被膜56を形成した。陽極酸化は実施例2とは異なって、酸性の溶液中でおこなった。例えば、3～20%のクエン酸もしくはシュウ酸、磷酸、クロム酸、硫酸等の酸性水溶液を用いておこない、10～30Vの一定電流をゲイト電極に印加すればよい。本実施例ではシュウ酸溶液（30℃）中で電圧を10Vとし、20～180分、陽極酸化した。陽極酸化物の厚さは陽極酸化時間に比例した。また、陽極酸化の速度は温度によっても大きく影響を受けた。本実施例では、厚さ3000Å～3μm、例えば、厚さ1.2μmの陽極酸化物56を形成した。このようにして得られた陽極酸化物は多孔質であることが特徴であった。さらに、低い電圧で厚い酸化物被膜を得ることも特徴であった。また、本実施例では、ゲイト電極の上面にはマスク55が存在するため、側面のみに選択的に陽極酸化が進行した。

（図9（A））

【0035】マスク55を剥離した後、イオンドーピング法によって、シリコン領域にゲイト電極54および陽極酸化物被膜56をマスクとして硼素イオンを注入した。加速電圧は、50～80kV、例えば65kVとした。ドーズ量は $1 \times 10^{11} \sim 5 \times 10^{13}$  原子/cm<sup>2</sup>、例えば、 $1 \times 10^{12}$  原子/cm<sup>2</sup> とした。このようにしてP型の領域57、58を形成した。

【0036】その後、実施例2と同様にレーザー光照射によってP型領域（ソース／ドレイン）の活性化をおこなった。レーザーとしてはKrFエキシマーレーザー（波長248nm、パルス幅20ns）を用いた。本実施例では、ゲイト電極54とソース57、ドレイン58の間が距離x（約1.2μm）だけ離れたオフセットゲイト型となっている。実施例1のxの値に比較して

極めて大きかった。(図9(B))

【0037】〔実施例4〕 図10に側面陽極酸化工程を用いたオフセットゲート型TFTに本発明を適用した本実施例のTFTの断面図を示す。図10に示される断面図は図1のb-b'断面に相当するものであり、主要な工程を示す。本実施例ではPチャンネル型とした。以下に作製工程について簡単に述べる。実施例3と同様に絶縁表面上に島状の結晶性シリコン領域61を形成した。島状シリコン領域61には、チャンネル形成領域のエッチ部に接する部分にN型の不純物領域62を形成した。その配置は図1の不純物領域2、3と同様とした。不純物領域62は、 $1 \times 10^{17} \sim 5 \times 10^{18}$  原子/cm<sup>3</sup>、例えば、 $5 \times 10^{17}$  原子/cm<sup>3</sup>の濃度の磷を不純物として含有している。

【0038】次に、ゲート絶縁膜(酸化珪素)、および、側面が選択的に陽極酸化されたアルミニウムのゲート電極64(厚さ5000Å)を形成した。側面の陽極酸化物65の幅は8000Åとした。この状態は図9(A)に相当する。そして、ドライエッチング法によって、ゲート絶縁膜をエッチングした。この際には、アルミニウムおよびその陽極酸化物はエッチングされず、ゲート電極64と陽極酸化物64の下部のみゲート絶縁膜63が残存した。(図10(A))

【0039】そして、陽極酸化物65を選択的にエッチングした後、イオンドーピング法によって、シリコン領域にゲート電極64およびゲート絶縁膜63をマスクとして硼素イオンを注入した。加速電圧は、50~80kV、例えば65kVとした。ドーピング量は $1 \times 10^{13} \sim 5 \times 10^{14}$  原子/cm<sup>2</sup>、例えば、 $1 \times 10^{13}$  原子/cm<sup>2</sup>とした。このようにしてP型の領域66、67を形成した。(図10(B))

【0040】さらに、引き続き加速電圧を5~20kV、例えば、10kVで硼素イオンを注入した。この工程においては加速電圧が低いため、ゲート絶縁膜63によって覆われた部分には硼素は注入されず、主として、ゲート絶縁膜の無い領域に注入された。このときのドーピング量は、先の場合よりも多い、 $1 \times 10^{14} \sim 5 \times 10^{15}$  原子/cm<sup>2</sup>、例えば、 $5 \times 10^{14}$  原子/cm<sup>2</sup>とした。この結果、P'領域68、69が形成された。また、P型領域66、67のうち、ゲート絶縁膜下の領域はLDD70、71として残った。(図10(C))

【0041】その後、実施例2と同様にレーザー光照射によってP型領域およびP'型領域(ソース/ドレイン)の活性化をおこなった。レーザーとしてはKrFエキシマーレーザー(波長248nm、パルス幅20ns)を用いた。以上のようにしてLDD型TFTを作製できた。以上の工程において、多孔質陽極酸化物被膜を得たのち、実施例2に記述した陽極酸化をおこなうと、図10(D)のごとく、アルミニウムゲート電極64がバリヤ型陽極酸化物72で被覆されるが、これはア

ルミニウムゲート電極を保護するうえで効果的である。

(図10(D))

【0042】〔実施例5〕 図11および図12に本実施例を示す。本実施例はアクティブマトリクス回路と、それを駆動するための周辺回路を同じ基板上に形成したモノリシック型アクティブマトリクス回路に本発明を適用したものである。モノリシック型アクティブマトリクス回路とは、図12で示されるようにアクティブマトリクス回路に、ゲートドライバー、ソースドライバーが付属し、これらのドライバー回路は周辺回路と称され、一般にNチャンネル型TFTとPチャンネル型TFTを組み合わせた相補型回路によって構成されている。そのため、図11においても周辺回路は相補型インバーターで代表する。

【0043】一方、アクティブマトリクス回路(画素)においては、TFTはP型もしくはN型のいずれか一方である。本実施例ではPチャンネル型TFTを用いた。アクティブマトリクス回路における単位画素には、TFTと液晶素子、および液晶素子の容量を補うための保持容量(補助容量ともいう)が設けられる。本実施例では図12に示すごとく、保持容量の一方の電極は次の行のゲート配線に接続されていることを特徴とする。図11においては、アクティブマトリクス回路のTFTおよびそれに付随する回路については、図5のb-b'断面に相当する断面図を示した。モノリシック型アクティブマトリクス回路においては、画素におけるTFTは高速動作より低リーク電流を、また、周辺回路のTFTは低リーク電流よりも高速動作を要求される。この矛盾を解決するためには、本実施例のごとく、画素のトランジスタにのみ本発明を適用し、周辺回路には適用しないのが効果的である。

【0044】以下に作製工程について説明する。まず、基板(コーニング7059)上にプラズマCVD法またはスパッタリング法によって厚さ2000Åの酸化珪素または窒化珪素、あるいはそれらの多層膜の下地膜(図示せず)を形成した。さらに、プラズマCVD法によって、厚さ300~1500Å、例えば500Åのアモルファスシリコン膜を堆積した。そして、これを還元雰囲気下で熱アニールすることにより結晶化させた。結晶化工程はレーザー等の強光を用いてもよい。さらに、画素領域においては、イオンドーピング法によってN型領域104および105を形成した。N型領域104は図5の不純物領域12、13に、また、N型領域105は図5の導電領域14に、それぞれ相当する。これらのN型領域には、磷を $1 \times 10^{13} \sim 1 \times 10^{14}$  原子/cm<sup>2</sup>、例えば、 $3 \times 10^{13}$  原子/cm<sup>2</sup>のドーピング量で注入した。

【0045】その後、レーザー光照射によって、シリコン膜の結晶性をさらに向上させた。この工程においては、先に磷の注入されたN型領域104、105の結



品性も改善された。レーザーとしてはKrFエキシマレーザー（波長248nm、パルス幅20nsec）を用いた。このようにして得られた結晶性シリコン膜をエッチングして、島状シリコン領域101（周辺回路Nチャネル型TFET用）、102（周辺回路Pチャネル型TFET用）、103（画素TFET用）を形成した。（図11（A））

【0046】次に、スパッタリング法またはプラズマCVD法によって厚さ500～1500Å、例えば1000Åの酸化珪素膜106を堆積し、引き続いて、スパッタリング法によって厚さ4000～8000Å、例えば6000Åのアルミニウム膜（0.1～0.5重量%のスカンジウムを含む）を堆積した。そして、アルミニウム膜をパターニングして、ゲイト電極107、108、109と容量配線110を形成した。酸化珪素膜106はゲイト絶縁膜として機能する。（図11（B））

【0047】さらに、実施例3および4と同様の方法で、ゲイト電極・容量配線の側面を陽極酸化して、多孔質陽極酸化物層111、112、113、114を形成した。さらに、実施例2の方法によって、ゲイト電極・容量配線の周囲にバリア型陽極酸化物被膜115を形成した。（図11（C））

次にPチャネル型TFETを形成する領域のみを露出させ、その他の領域をフォトレジストのマスク116で被覆して、多孔質陽極酸化物112、113のエッチングをおこなった。さらに、硼素イオンを注入した。加速電圧は、50～80kV、例えば65kVとした。ドーズ量は $1 \times 10^{11} \sim 5 \times 10^{12}$ 原子/cm<sup>2</sup>、例えば、 $5 \times 10^{11}$ 原子/cm<sup>2</sup>とした。このようにしてP型の領域（ソース/ドレイン）117、118を形成した。（図11（D））

【0048】次に、フォトレジストのマスク116を剥離して、ドライエッチング法によって、酸化珪素膜106をエッチングした。この結果、ゲイト電極・容量配線およびその周囲の陽極酸化物で被覆された部分を除いて、酸化珪素膜106は除去され、上記の部分には、ゲイト絶縁膜119、120、121、122が残存した。（図11（E））

さらに、多孔質陽極酸化物111、114をエッチングした。そして、Nチャネル型TFETを形成する領域のみを露出させ、その他の領域をフォトレジストのマスク123で被覆して、リンイオンを注入した。加速電圧は、60～110kV、例えば80kVとした。ドーズ量は $1 \times 10^{11} \sim 5 \times 10^{12}$ 原子/cm<sup>2</sup>、例えば、 $5 \times 10^{11}$ 原子/cm<sup>2</sup>とした。引き続き、加速電圧、5～20kV、例えば10kV、ドーズ量、 $1 \times 10^{11} \sim 5 \times 10^{12}$ 原子/cm<sup>2</sup>、例えば、 $1 \times 10^{11}$ 原子/cm<sup>2</sup>の条件でドーピングをおこなった。この結果、実施例4と同様に、高濃度の不純物の注入された領域124と低濃度の不純物の注入された領域125が形成され、LDD

型のTFETが得られた。（図11（F））

【0049】その後、プラズマCVD法によって、厚さ4000～8000Å、例えば、5000Åの酸化珪素膜126を全面に形成し、これにコンタクトホールを形成した。そして、厚さ500Åのチタン膜と厚さ4000Åのアルミニウム膜（1%のシリコンを含む）の多層膜を堆積し、その状態で300～450℃、例えば、350℃でアニールした。この結果、コンタクト部でチタン膜とシリコンが反応し、珪化チタンが形成された。そして、前記多層膜をエッチングして、TFETの配線128、129、130、131を形成した。ただし、画素TFETにおいては、画素電極を形成する部分のコンタクトホール127には多層膜を除去したのにも関わらず、シリサイド132が残存した。（図11（G））

【0050】次に、プラズマCVD法によって、厚さ1500～5000Å、例えば、3000Åの窒化珪素膜133を形成した。そして、先にコンタクトホール127が形成された付近に再びコンタクトホールを形成した。その後、ITO（インディウム錫酸化物）膜をスパッタリング法によって厚さ500Åに形成し、これをエッチングして、画素電極134を形成した。以上のようにしてモノリシック型アクティブマトリクス回路が作製された。（図11（G））

【0051】

【発明の効果】本発明によって、薄膜半導体装置のリーク電流を低減させ、また、その信頼性を高め、最大限を特性を引き出すことが可能となった。本発明の薄膜半導体装置は、特に、ゲイトドレイン間、ゲイトソース間のリーク電流が低く、高いゲイト電圧にも耐えられる等の特徴から液晶ディスプレイのアクティブマトリクス回路における画素制御用のトランジスタとして好ましい。

【0052】実施例1～4では、主としてPチャネル型のTFETを例にとって説明したが、Nチャネル型TFETや同一基板上にNチャネル型とPチャネル型の混在した相捕型の回路の場合も同様に実施できることは言うまでもない。本発明はTFETを中心として説明した。しかし、他の回路素子、例えば、1つの島状半導体領域に複数のゲイト電極を有する薄膜集積回路、スタックゲイト型TFET、ダイオードにも適用できることは言うまでもない。このように本発明は工業上、有益な発明である。

【図面の簡単な説明】

【図1】 本発明のTFETの作製工程を示す。（上面図）

【図2】 本発明のTFETの作製工程を示す。（断面図）

【図3】 本発明のTFETの作製工程を示す。（断面図）

【図4】 本発明のTFETの作製工程を示す。（断面図）

図)

【図5】 本発明のTFTの作製工程を示す。(上面図)

【図6】 本発明のTFTの作製工程を示す。(断面図)

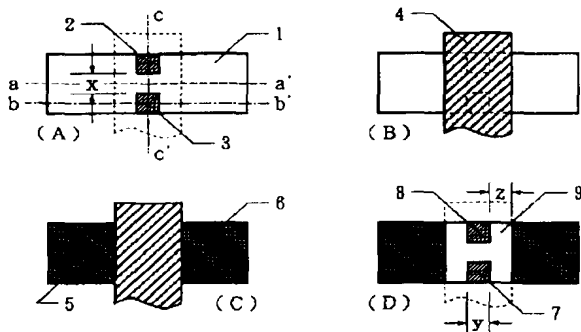
【図7】 実施例1のTFTの構成を示す。

【図8】 実施例2のTFTの構成を示す。

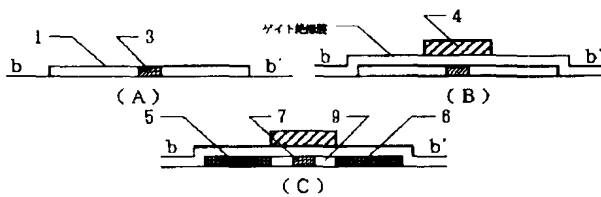
【図9】 実施例3のTFTの構成および作製工程を示す。

【図10】 実施例4のTFTの構成および作製工程を示す。

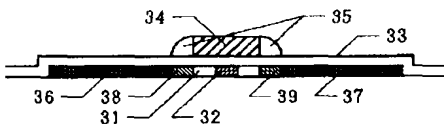
【図1】



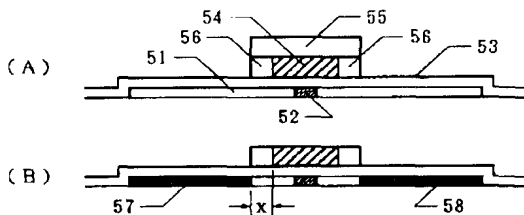
【図3】



【図7】



【図9】



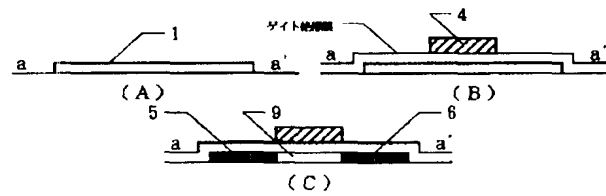
【図11】 実施例5のTFTの構成および作製工程を示す。

【図12】 モノリシック型アクティブマトリクス回路の構成を示す。

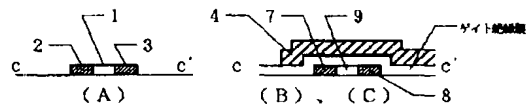
【符号の説明】

- 1 …… 島状半導体領域
- 2、3 …… 不純物領域
- 4 …… ゲイト電極
- 5、6 …… 不純物領域 (ソース、ドレイン)
- 7、8 …… 不純物領域
- 9 …… チャネル形成領域

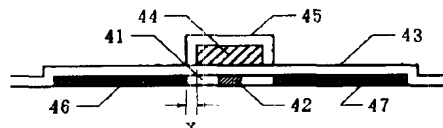
【図2】



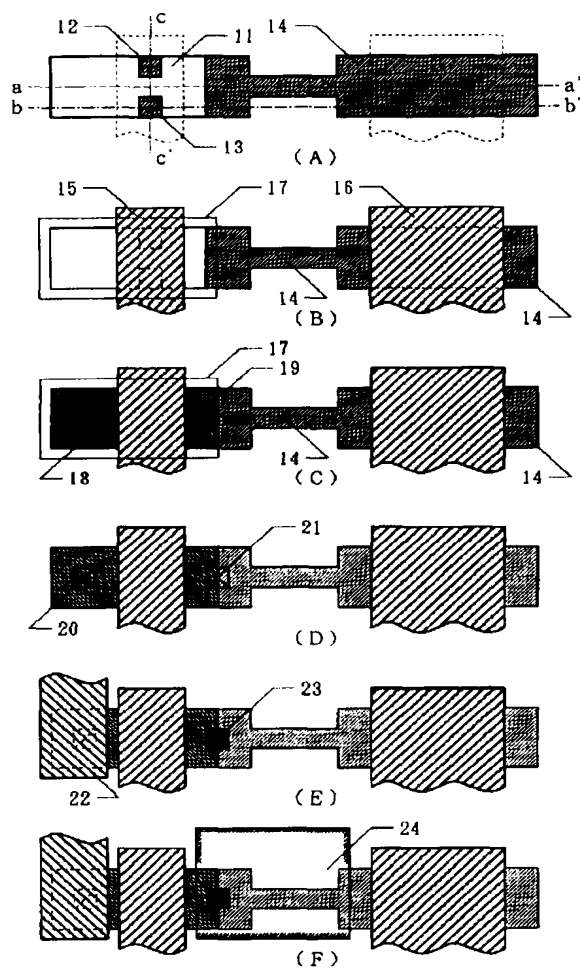
【図4】



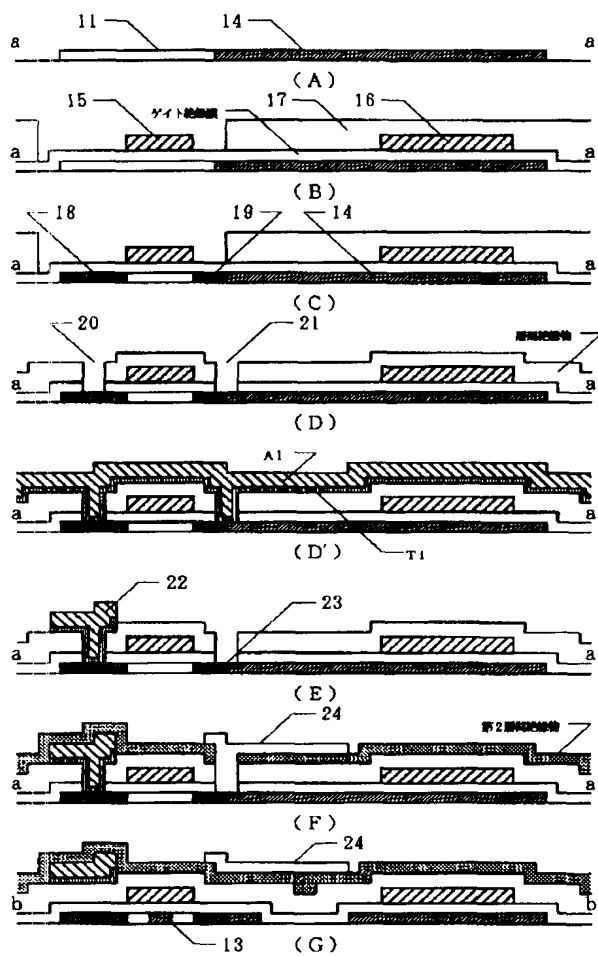
【図8】



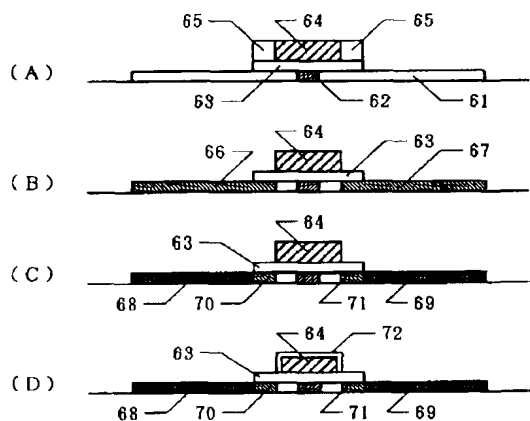
【図5】



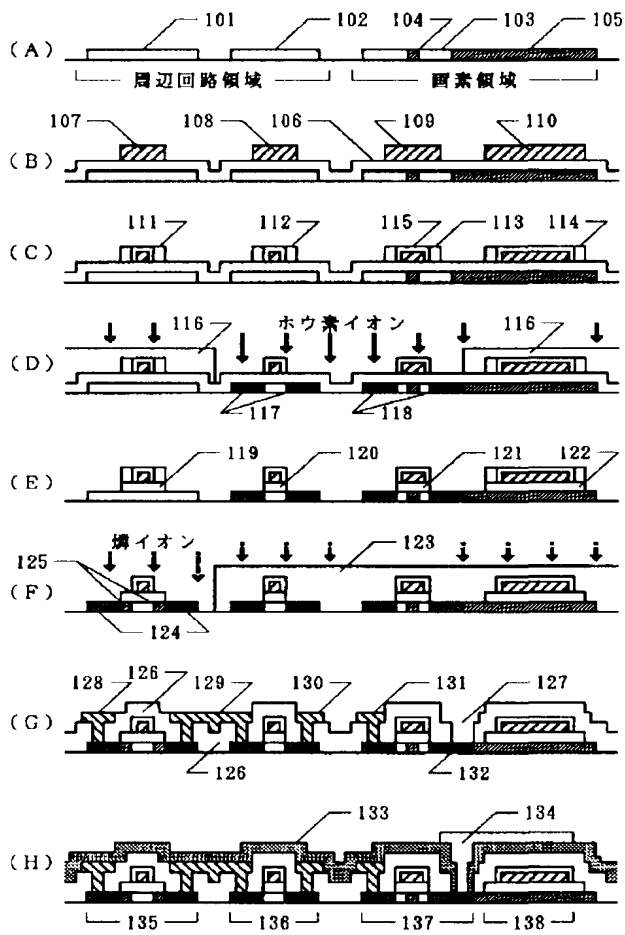
【図6】



【図10】



【図11】



【図12】

